

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-021058

(43)Date of publication of application : 02.02.1984

(51)Int.Cl.

H01L 27/10

G11C 11/34

H01L 21/82

H01L 27/04

(21)Application number : 57-129959

(71)Applicant : NEC CORP

(22)Date of filing : 26.07.1982

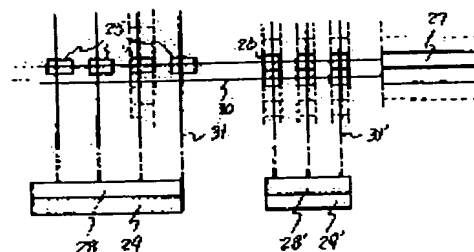
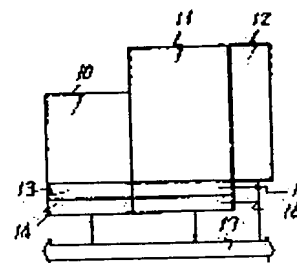
(72)Inventor : YAMADA KOICHI

(54) INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To contrive the miniaturization and yield improvement of a one chip LSI by a method wherein an ROM and an RAM are formed in proximity resulting in common use for a part of a decoder, a selector, and a sense amplifier.

CONSTITUTION: The RAM10 and the ROM11 are connected to the common decoder 12 by a common word select line; it is not necessary to have separate RAM decoder and ROM decoder, therefore a decoder is sufficient for two decoders, and then minituration is enabled thereby. The word select line 30 from the decoder 27 comes to the ROM26 and the RAM25 in common. While, the figure signal line 31 of the RAM is connected to an RAM selector 28 and an RAM sense amplifier, and the figure signal line 31' of the ROM is connected to an ROM selector 28' and an ROM sense amplifier 29'. Therefore, at the time of the write and read-out of an RAM25 for example, since the word select line 30 is common, but the figure signal line 31 is separated, the cell at the intersection between the selected figure signal line and the common word select line 30 drives.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑪ 日本国特許庁 (JP)

⑫ 特許出願公開

⑬ 公開特許公報 (A)

昭59-21058

⑭ Int. Cl.³
H 01 L 27/10
G 11 C 11/34
H 01 L 21/82
27/04

識別記号

庁内整理番号
6655-5F
6549-5B
6655-5F
A 8122-5F

⑮ 公開 昭和59年(1984)2月2日

発明の数 1
審査請求 未請求

(全 3 頁)

⑯ 集積回路装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭57-129959

⑱ 出 願 人 日本電気株式会社

⑲ 出 願 昭57(1982)7月26日

東京都港区芝5丁目33番1号

⑳ 発 明 者 山田宏一

㉑ 代 理 人 弁理士 内原晋

明 細 書

スタンプを共用させたことを特徴とする特許請求の範囲第(1)項記載の集積回路装置

1. 発明の名称

集積回路装置

3. 発明の詳細な説明

本発明は集積回路装置にかかり、特に1チップLSIに適用し得る集積回路装置に関する。

従来、この種の1チップLSIにおいては歩留りを上げるなどの目的で、チップサイズを小さくする努力を重ねてきた。しかし1チップ中にRAM (Random Access Memory)、ROM (Read Only Memory) などを含む場合、第1図に示すように各々にデコーダ、セレクト、センスアンプを持っている。図において1はRAM、2はRAMデコーダ、3はRAMセレクト、4はRAMセンスアンプである。また5はROM、6はROMデコーダ、7はROMセレクト、8はROMセンスアンプで個々に周辺回路を備え内部バス9に接続している。従ってこれらの周辺回路のLSIに占める面積は比較的に大きくなっている。そのためチップサイズもその分だけ小さくならず

2. -

(1) 同一チップ上にリードオンリメモリとランダムアクセスメモリを含む集積回路装置において、上記両メモリを接近して形成し、語選択又は桁選択等の周辺回路等の一部を共用させたことを特徴とする集積回路装置。

(2) 同一チップ上にリードオンリメモリとランダムアクセスメモリを含む集積回路装置において、上記両メモリを接近して形成し、該両メモリ共通に同じ語選択線を形成し、語選択デコーダを共用させたことを特徴とする特許請求の範囲第(1)項記載の集積回路装置。

(3) 同一チップ上にリードオンリメモリとランダムアクセスメモリを含む集積回路装置において、上記両メモリを接近して形成し、該両メモリ共通に同じ桁信号線を形成し、セレクト及びセン

歩留りを低下させる原因の1つとなっている。

本発明は上記問題点に対処してなされたもので、ROM、RAMを接近して形成しデコーダ、セレクタ、センスアンプ等の一部を共用させることによりチップLSIを小型化し歩留りの高いLSIを提供するにある。

本発明の要旨は、同一チップ上にリードオンリメモリとランダムアクセスメモリを含む集積回路装置において、上記両メモリを接近して形成し、語選択又は桁選択等の周辺回路等の一部を共用させたことを特徴とする集積回路装置にある。

なお共用する手段としては語選択線を共通に形成することにより語選択デコーダを、また桁信号線を共通に形成することによりセレクタ及びセンスアンプを共用させることができる。

以下本発明の一実施例につき図面を参照して説明する。第2図は本発明の一実施例による集積回路装置の構成を示す説明図である。図において、10はRAM、11はROM、12はデコーダである。すなわち、RAM10とROM11が共通

- 3 -

それに対しROMセル26の書き込み、読み出しにあたっては共通な語選択線30と選択された桁信号線31'の交点のセルが駆動することになり別々にデコーダを備えた場合と同様に機能することができ、

第3図は本発明の他の実施例による集積回路装置の構成を示す説明図である。図において、18はROM、19はRAMで両者は縦に重ねられ下部にセレクタ22、およびセンスアンプ23が置かれROM18とRAM19は共通の桁信号線(図示せず)により共通のセレクタ22、センスアンプ23に接続されている。一方ROMデコーダ20およびRAMデコーダは共通とされずそれぞれ語選択線(図示せず)によりROMおよびRAMに接続されている。すなわち本実施例では桁信号線が共通に配置され、セレクタ、センスアンプが共通に使用され従来2組であったものが1組となっており、1組分だけ小型化が促進されている。24は内部バスである。

なお第5図は第3図に示した本発明の他の実施

- 5 -

な語選択線により共通なデコーダ12に結ばれており第1図のように別々のRAMデコーダ、ROMデコーダを持つ必要がなく二個のデコーダが一個のデコーダで済むことになりその分だけ小型化できる。

一方セレクタはRAMセレクタ13、ROMセレクタ15は従来通りであり、センスアンプ部もRAMセンスアンプ14、ROMセンスアンプ16も従来通りである。第4図は第2図に示した本発明の一実施例の結線の詳細を示す説明図である。図においてデコーダ27からの語選択線30はROM26およびRAM25に共通に入っている。一方RAMの桁信号線31はRAMセレクタ28、RAMセンスアンプに接続され、ROMの桁信号線31'はROMセレクタ28'、ROMセンスアンプ29'に接続されている。従って例えばRAMセル25の書き込み、読み出しにあたっては語選択線30は共通であるが桁信号線31が別個になっているので選択された桁信号線と共通の語選択線30の交点のセルが駆動することになる。

- 4 -

例の結線の詳細を示す説明図である。図において1組の共通使用のセレクタ35、センスアンプ部36から出た桁信号線38は共通線としてRAMセル33に接しその延長がROMセル32に結ばれている。一方ROMデコーダ34とRAMデコーダ34'からは語選択線37および37'が別々にROMセル32およびRAMセル33に結ばれている。従ってこの場合は書き込み読み出しにあたっては共通な桁信号線38と個別に設けられたROM語選択線37およびRAM語選択線37'の交点としてROMセルおよびRAMセルを駆動させることが出来る。すなわち共通な1組のセレクタ、センスアンプによりそれぞれが別個に備えた場合と同様に機能することができ、結果として1組のセレクタ、センスアンプ部の面積だけ集積回路装置を小型化することができる。

以上説明したように本発明によればROM、RAMを同一チップ内に含む集積回路装置のチップサイズを小さくすることができ、その結果歩留の高い集積回路装置を得ることができる。

- 6 -

BEST AVAILABLE COPY

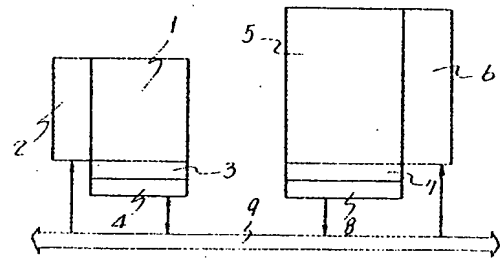
4. 図面の簡単な説明

第1図は従来集積回路装置の構成説明図、第2図は本発明の一実施例による集積回路装置の構成説明図、第3図は本発明の他の実施例による集積回路装置の構成説明図、第4図は第2図の本発明の一実施例の詳細結線説明図、第5図は第3図の本発明の他の実施例の詳細結線説明図である。

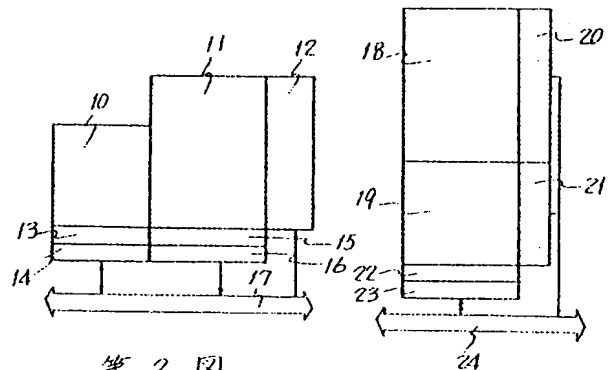
1, 10, 19……RAM, 2, 21, 34'……RAMデコーダ, 3, 13, 28……RAMセレクト, 4, 14, 29……RAMセンスアンプ, 5, 11, 18……ROM, 6, 20, 34……ROMデコーダ, 7, 15, 28'……ROMセレクト, 8, 16, 29'……ROMセンスアンプ, 9, 17, 24……内部バス, 12, 27……デコーダ, 22, 35……セレクト, 23, 36……センスアンプ, 25, 32……RAMセル, 26, 33……ROMセル, 30, 37, 37'……語選択線, 31, 31', 38……桁番号線。

代理人 井理士 内 原 啓

- 7 -

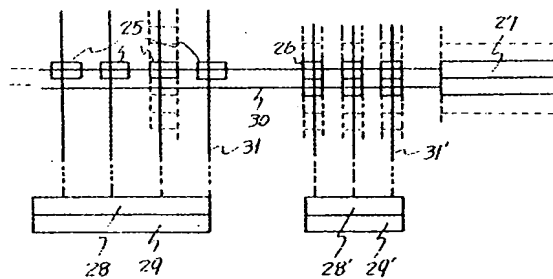


第1図

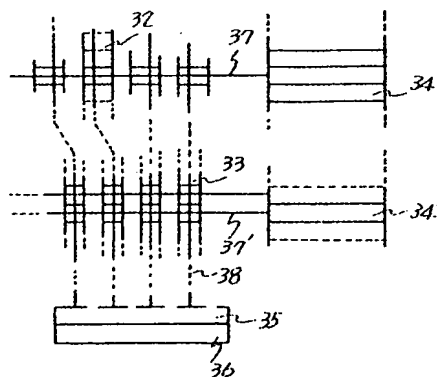


第2図

第3図



第4図



第5図